

論文

電子回路基板の静電気対策

高松 聡裕*¹⁾ 上野 武司*¹⁾ 小林 丈士*²⁾

ESD protection of electronic circuit boards.

Toshihiro Takamatsu*¹⁾, Ueno Takeshi*¹⁾, Kobayashi Takeshi*²⁾

An EMC test is required for all Electrical equipment. Especially, those items to be exported to Europe must obtain CE certification under the EMC directive. An electrostatic discharge immunity test (IEC/EN/JISC61000-4-2) is one of the EMC tests.

Corrective measures must be taken if the product does not pass the EMC test. Failures caused by ESD may take a long time to repair making it necessary to understand the phenomenon of electrostatic discharge.

A method has been established to measure the waveform and transmit a static waveform in an electronic circuit board. In order to use this method in an electronic circuit design process, the ESD simulation model must be effective.

The authors found through experiment that the EDS wave frequency is between 250MHz to 300MHz. To suppress crosstalk caused by EDS, components such as capacitors, inductors, varistors and zener diodes are useful. We evaluated that those components were effective against EDS when an electronic circuit board was running under a 10MHz clock.

Of those components, only the zener diode can be used in a high speed circuit board in term of signal integrity.

キーワード：静電気波形、静電気イミュニティ、周波数特性、EMC 対策部品

Keywords : Electrostatic wave form、Electrostatic discharge immunity、Frequency response、EMC prevention component

1. はじめに

電子機器は静電気を受けて破壊されることがある。特に、電子機器を構成する電子部品は静電気に弱い。そのため、電子機器が静電気を受けて誤動作するかしないかの判定を行う試験に「静電気放電イミュニティ試験（静電気試験）」がある。この試験は、CE マーキングを取得する場合に必須である。試験を行い誤動作や故障が発生した場合は、製品に静電気対策を行う必要が生ずる。静電気対策には、筐体を金属で覆うこと、筐体と基板の距離を離すこと、電子回路基板のレイアウトを変更すること、電子回路に対策部品を挿入することなどがある。本研究では試作の指標となりうる対策として、電子回路基板に対策部品を挿入する方法を検証した。

これまでの研究では、直接放電の静電気波形が明らかになっている^{(1), (2)}。しかし、対策部品の選択には結びついていない。静電気の波形は数百 MHz の高速パルスで成り立っている^{(3), (4)}。また、この現象の対策部品として、コンデンサ、バリスタ、インダクタ、ツェナーダイオードがある^{(5), (6), (7)}。しかし、これらの対策部品の配置および定量的な効果については見いだせていない。

そこで、本研究では 10MHz の信号で動作する基板を作製

し、その基板に静電気を誘起させ信号線の波形を観察した。また、その基板に静電気対策部品を実装し、対策効果を検証した。

2. 実験方法

2.1 静電気の波形の観察 まず、静電気の波形の電圧および立上りまたは立下りの時間を調べる方法を確立した。この方法は、高速でサンプリングをするオシロスコープで電圧波形を読取るものである。この観察手法を用いることにより印加した静電気波形を読取るだけでなく電子回路基板に誘導される波形も観察することが出来る。

40dB のアッティネーター芯線に直接静電気を印加し、芯線-グラウンド間の電圧をオシロスコープで観察した。静電気は規格 (IEC/EN/JIS C 61000-4-2) に準拠して、直接放電で±2kV を印加した。オシロスコープの内部インピーダンスは 50Ω とした。

2.2 静電気波形のシミュレーション 静電気を印加した時の対策部品の効果を明確にするために、静電気の現象をシミュレートした。文献⁽¹⁾を参考にし、静電気ガンのモデルを作成した。このモデルでは、浮遊容量や浮遊インダクタンスを挿入し、規格に則った波形が再現できるようにしている。作成した回路図を図 1 に示す。

*1) 電子・機械グループ

*2) 電子半導体技術グループ

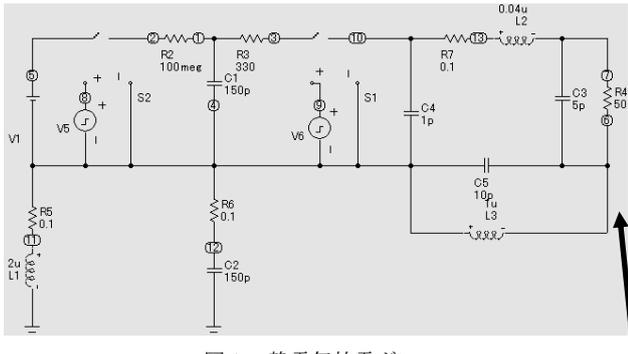


図 1. 静電気放電ガン

さらに、図 1 の静電気放電ガンの印加部に相当する図 1 の右端にある抵抗に対策部品を挿入した時の効果も確認した。

2. 3 水平結合板の位置と静電気波形との関係 接触放電で水平結合板に静電気を印加したときの電圧分布を確認した。これは、誘導する静電気波形が場所に依存するかを検証するために行った。

水平結合板を 10cm に区切り、接触プローブを配置した。そこに、+2kV の静電気を印加し、ピーク電圧を測定した。

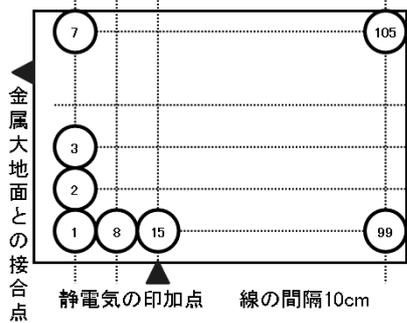


図 2. 水平結合板読取箇所

2. 4 クロストークの確認 金属筐体や直近に金属物に静電気電流が流れた時、電子回路に誘導される現象が発生する。これが静電気におけるクロストークである。このクロストークを模擬するための実験を行った。

そこで、静電気を印加する銅板に 0.2mm 厚のゴムシートを敷き、マイクロストリップラインを密着させた。その配置した配置図を図 3 に示す。

銅板に静電気を直接放電で ±2kV 印加し、その時のマイクロストリップラインに発生する電圧波形を観測した。

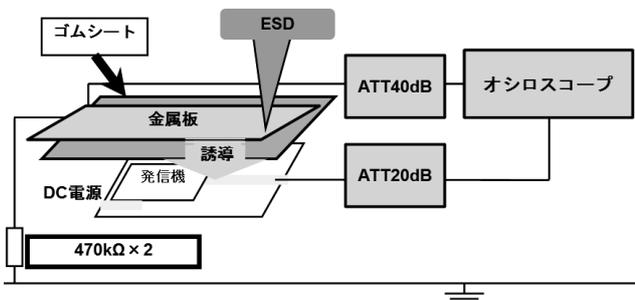


図 3. 誘起発生模擬ブロック図

2. 5 対策部品の周波数特性 静電気の周波数に合わせた特性を持つ対策部品を用いることが、有効な静電気対策

につながる。そこで、観察される静電気波形から周波数を推定した。また、文献 (3), (4) から静電気を構成する波形は数百 MHz といわれている。この周波数に合った対策部品を使用することが必須であり、その対策部品の特性はインピーダンスアナライザで測定できる。

本研究で調査した対策部品は文献 (5), (6), (7) から、コンデンサ、バリスタ、インダクタを選択した。インピーダンスアナライザで、インピーダンスと位相を測定した。

2. 6 対策部品を実装した時の効果の検証 実基板に対策部品を実装したときの対策効果を検証した。その基板を図 4 に示す。

300MHz で効果のある 1000pF のコンデンサ、定格電圧 9.0V のバリスタ、1μH のインダクタを用いた。実基板として 10MHz のクロックで動作する基板を使用した。

コンデンサは信号線ーグラウンド間に挿入した。バリスタも同様に挿入した。インダクタは信号線に直列に挿入した。

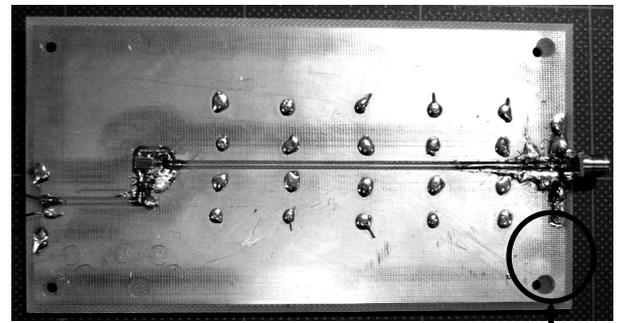


図 4. 発信機と実験基板

2. 7 信号品質を考慮に入れた対策 対策部品によっては、信号波形が鈍る場合がある。そのため、対策を行う上で信号品質を考慮に入れる必要がある。

実験 2.6 で用いた対策部品とツェナーダイオードを用いて信号品質を評価した。ツェナーダイオードは信号線ーグラウンド間に挿入した。

3. 結果および考察

3. 1 静電気の波形 静電気+2kV を直接放電で印加した時の波形を 10 回測定した。その結果を図 5 に示す。ピーク電圧の平均は 381V、標準偏差は 6.2V であった。試験規格では印加電流が $7.5A \pm 10\%$ と定義されており、ピーク電圧を電流に換算すると平均 7.62A となった。これは、試験規格と同等の結果が得られた。

また、-2kV を印加した場合を図 6 に示す。ピーク電圧の平均は-378V、標準偏差は 6V であった。同様に、電流値に換算したところ-7.56A となり、試験規格に合致している。この静電気波形の印加方法および測定方法を本研究で採用した。

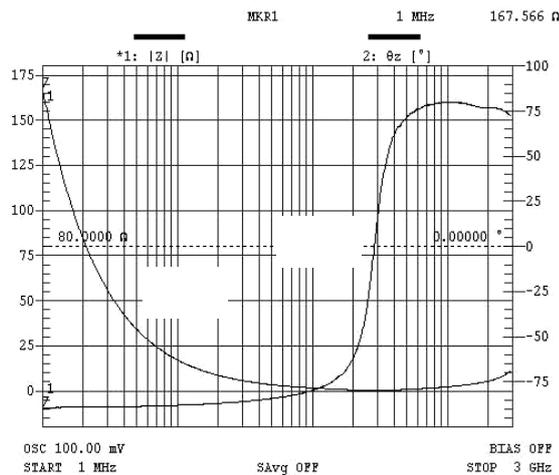


図 10. コンデンサ 1000pF の周波数特性

3.6 対策部品を実装した時の効果の検証 10MHz のクロックで駆動する電子回路基板に、静電気を誘導させたときの結果を図 11 に示す。静電気印加時にクロックが停止することが確認した。

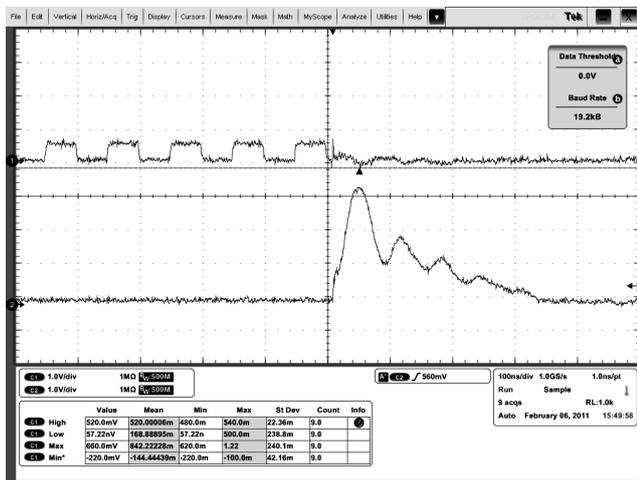


図 11. 対策部品無し

同じ基板にコンデンサを実装した時の信号波形を図 12 に示す。静電気印加時に発生した誘導パルスの発生を抑制

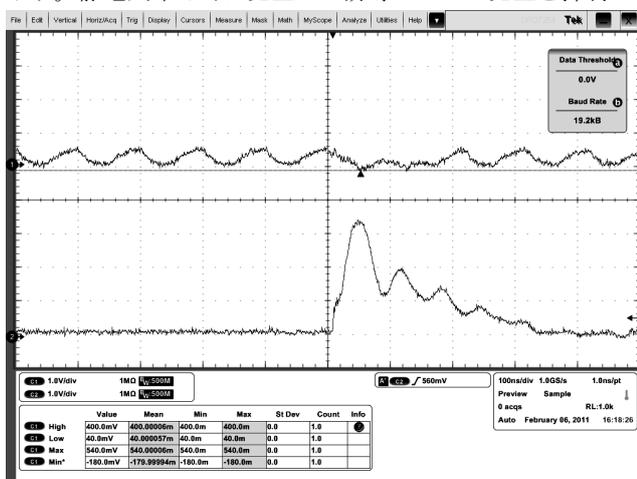


図 12. コンデンサ 1000pF で対策

することが確認できた。また、バリスタやインダクにおいても同様の効果が得られた。

ただし、静電気印加後に信号波形が鈍るのを確認した。

3.7 信号品質を考慮に入れた対策 3.6 項で用いた基板にツェナーダイオードを実装した時の波形を図 13 に示す。この場合、信号波形の鈍りを抑制することが確認できた。対策を行う際、このような信号品質も考慮に入れる必要がある。

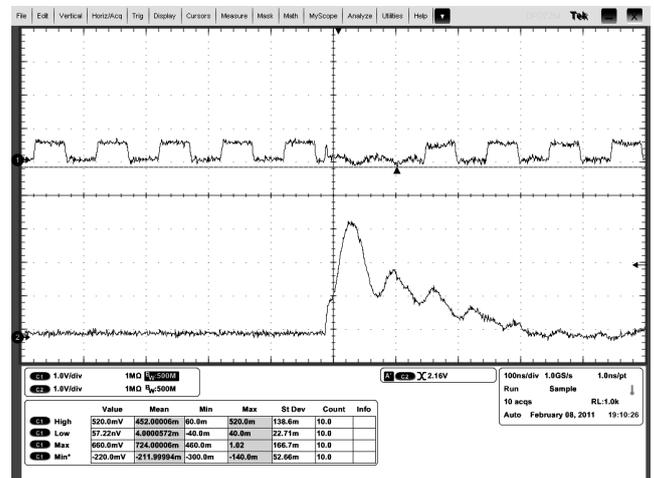


図 13. ツェナーダイオード 5.1V で対策

4. 結論

10MHz で駆動する電子回路基板に静電気を誘導させたときの対策部品の効果を検証した。その結果、いずれの対策部品も効果があることを確認できた。ただし、信号品質も考慮に入れた場合、ツェナーダイオードが有効であった。

今後、用いている信号が 100MHz 以上の周波数の基板や、コンデンサ、バリスタ、インダクタ、ツェナーダイオード以外の対策部品を用いた場合についても研究を進める予定である。

(平成 23 年 5 月 20 日受付, 平成 23 年 8 月 5 日再受付)

文 献

- (1) 藤原 修, 静電気試験法による放電電流の FDTD シミュレーション, 電子情報通信学会論文誌, Vol.J86-B No.11, pp. 2390-2396, 2003/11
- (2) 中川 稔也, IEC61000-4-2 (静電気イミュニティ試験) Ed1.2 : 2001-04 解説, 月間 EMC, No. 162, pp.89-93, 2001/10/5
- (3) 馬杉 正男, 多重解像度解析を用いた静電気放電の EMI 評価, 電子情報通信学会論文誌, Vol.J84-B No.11, pp.2048-2058, 2001/11
- (4) 川又 憲, マイクロギャップ放電に伴う過渡電圧・電流立上り波形の 12GHz 帯域測定と電極間電界強度特性, 電子情報通信学会論文誌, Vol.J90-B No.11, pp.1143-1148, 2007/11
- (5) エレクトロニクス実装学会 電磁特性技術委員会, 2010 サマーセミナー 電子機器の最新イミュニティとエミッション設計—設計から評価・解析まで—, pp.39, 2010/8/27
- (6) 吉田 宏, プリント基板における静電気放電経路とこれに対応する設計研究, EMCJ2001—44, pp.85-90, 2001/07
- (7) Clayton R.Paul, EMC 概論, pp.707-726, 1996/2/29