

論文

高速デジタル回路基板における設計ルール (基板端距離と信号ガードパターン) に関する考察

佐野 宏靖*¹⁾ 佐藤 研*¹⁾

Design rules check for designing high speed print boards by experiment

Hiroyasu Sano*¹⁾, Ken Sato*¹⁾

Printed circuit board design rules for noise reduction are very important. The names of design rules themselves are well-known to those who design printed circuit boards, however, parameters for each rule are not well-known nor publicized.

The authors have chosen two well known rules: "pattern line distance from a board edge" and "gap and width of guarded GND pattern" to examine. Then, at first, we made several sample boards to get actual measurement data for those design rules. Secondary, we compared them with those generated by a simulator to assess the accuracy of the simulation. With the results, we modified simulation models to make them more accurate. As a result, we obtained accurate parameters for selected design rules and concluded that using the simulator was sufficiently effective to design printed circuit boards.

キーワード : SI, EMI, 3次元電磁界シミュレータ, 基板設計ルール, 電波暗室

Keywords : SI, EMI, 3D micro wave simulator, PCB design rule, anechoic chamber

1. まえがき

近年, 電子機器の低電圧化, 高速化に伴い, 信号品質(SI)の確保や増大する電磁波放射ノイズ(EMI)対策が課題となっている。数百 MHz 以上の通信を行う製品では, 基板製造後の段階では根本的なノイズ対策を行うことが難しく, 設計変更により基板の再製造に至ることが多い。これら対策手法の一つとして EMI 対策を考慮した基板設計ルールを用いる手法がある。このルールは多数あるが, ルールの効果などが公表されていないことが多い。

本研究の目的は, EMI 対策基板設計ルールの対策前後のデータを蓄積し, 平成 22 年度に導入した電磁界シミュレータ (CST 社 MW STUDIO) を用いて, モデリング手法やモデルの問題点を把握し, 実基板とシミュレーションの差異を確認することである。さらに, 実験より得た結果をドキュメントとしてまとめ, 100MHz 帯のノイズ対策手法の情報共有化を行い, 当センターにおける高速デジタル回路用基板設計の支援体制を強化する狙いがある。

はじめに EMI 対策基板設計ルールについて調査し, 次に基板を製作評価し, ルールごとの対策効果を把握した。これらのデータを基にシミュレーション結果と比較した。

2. EMI 対策基板設計ルールの調査

平成 22 年度から導入した EMI 対策チェックソフト (NEC 情報システムズ DEMITASNX) に内蔵されている優先順位

を基に表 1 の順位と項目を作成した。

表 1. EMI 対策基板設計ルール

優先順位	EMI 対策ルール項目
1	リターンパスの不連続
1	GV プレーンまたぎ
2	信号ガードパターン
3	差動信号配線
3	基板端距離
3	配線長
4	SG パターンビア間隔
4	インピーダンス整合
5	クロストーク
5	ビア数
5	フィルタ挿入距離

優先順位の上位に「信号ガードパターン」と「基板端距離」のルールがあるが, 公表されている実測データなどが少ない。そのため, このルールについて複数のパターンを作製し, 検討, 評価を行った。図 1 に各ルールのパラメータを示す。

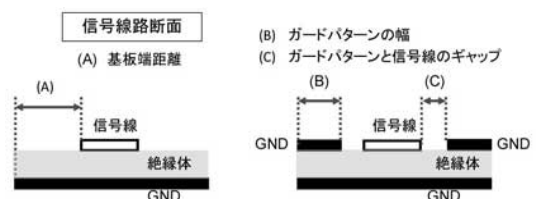


図 1. 基板端距離ルール (左) と信号ガードパターンルール (右)

*¹⁾ 電子・機械グループ

3. 実験方法

3.1 製造基板種類 各ルールに対しパラメータを振り SI/EMI にどのような影響を及ぼすか確認した。

ルールによる切り分けをわかりやすくするため、回路構成は極力シンプルにした。図 2 に実験回路を示す。CN1 から単 4 乾電池を接続し、電圧を供給する。IC3 の降圧レギュレータ (TI: TPS71733DCKT) で 3.3V に落とし、X1 の水晶発振器 (京セラ: KC5032C100.000C30E00) で 100MHz を発生させ、IC2 の 1 ゲートロジックインバータ (東芝: TC7SZ04FU) に入力し、IC2 の 4pin からマイクロストリップライン経由で負荷 R1 をドライブする。

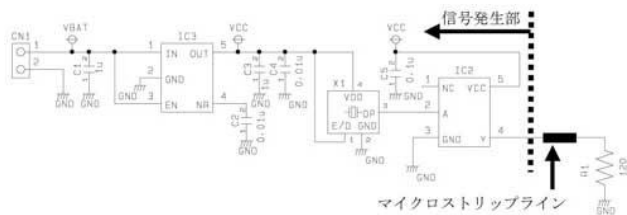


図 2. 実験回路

図 3 に測定基板を示す。基板端距離は 20H ルール⁽¹⁾より決めた。20H ルールとは一般的に電源 GND 間のリターンプレーンを確保するためのものであるが、今回のパターンに適用できると考えたため、 $H=1.6\text{mm} \times 20$ より 32mm とし、基板縦幅を 65mm とした。発振器位置を固定したまま、パターンによる影響を見るため、様々な方向に曲げられるよう、マイクロストリップラインを 100mm に設定し、電池配置などを考慮して基板横幅を 150mm とした。

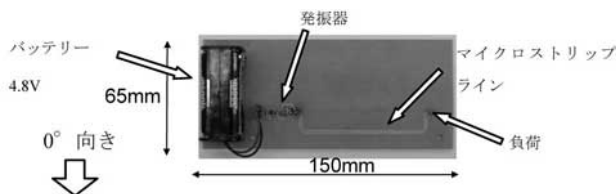


図 3. 測定基板

図 4、図 5 に実験基板を示す。

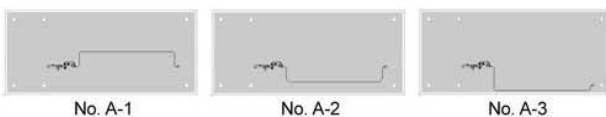


図 4. 基板端距離の種類

(左) 基板端距離 32mm (中) 基板端距離 10mm (右) 基板端距離 3mm

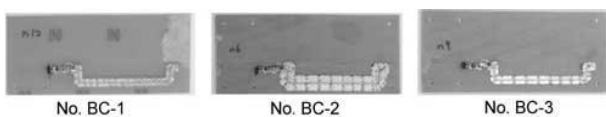


図 5. 信号ガードパターンの種類 (基板端距離 10mm)

(左) ガードパターン幅:3mm ギャップ:0.3mm
(中) ガードパターン幅:6mm ギャップ:0.6mm
(右) ガードパターン幅:3mm ギャップ:0.6mm

マイクロストリップラインの設計情報として、基板厚みは 1.6mm、パターン幅は 0.35mm、厚みは $18\mu\text{m}$ 、基材は FR-4 とした。設計値としては特性インピーダンスが約 120Ω になるようにした。

使用した IC のパッケージタイプは SSOP の 0.65 ピッチである。抵抗とコンデンサはすべて 1005 サイズで回路を極力小さくするようにした。

通常、負荷にコンデンサを追加するとコンデンサに流れる高周波成分が増えるため、ノイズがさらに増える傾向になるが、今回はなるべくパラメータを少なくするため抵抗負荷のみにした。

3.2 波形観測 デジタルオシロスコープ (Tektronix DSA70604) で、各基板の波形の変化を確認した。使用するプローブは、GND リードのインダクタンスによる影響を極力小さくするため、差動アクティブプローブ (Tektronix P6248) とした。これを用いてシングルエンド測定を行う。プロービングの際にはデジタルオシロスコープの GND と基板の GND をつなぎフローティング電位を 0V にした。

また、マイクロストリップラインのインピーダンスを測定するため TDR 測定器 (Tektronix DSA8200, 80E04 型 20GHz) と専用プローブ (P8018 型) を使用した。

3.3 遠方界 基板からの放射ノイズを 3m 電波暗室で測定した。高さ 1m の発砲スチロールの上に測定基板を設置し、30MHz~1GHz の放射ノイズを $0\sim 360^\circ$ 回転させて測定したところ、100MHz ステップでしかレベルが観測されなかったため、測定点は 100MHz ステップごとのピンポイントとした。

パイログアンテナでの測定では給電点が 1GHz と 30MHz で大きく異なり誤差が多くなるので、ログペリアンテナとバイコナルアンテナを使用し、計測による測定誤差を極力小さくするようにした。

床面を吸収体にする予定であったが、ハイトパターンを取る際にアンテナ位置を 2~4m にした場合、反射経路が吸収体を通らない可能性があるため、反射による誤差が大きくなってしまった。そのため、床下は金属面にし、一定条件になるようにした。

今回の基板は水平偏波が多いので水平波のみの測定にした。測定方法は以下の通りに行い、基板から発生するノイズのピーク値を検出した。

- (1) ハイトパターンの測定
- (2) ピーク値を検出した高さでアジマス測定
- (3) ピーク値を検出した角度をアンテナ正面に向けて QP 測定

4. 測定結果と考察

4.1 波形観測 図 6 に No.A-2 と No.A-3 のデジタルオシロスコープでの測定結果を示す。図より基板端距離による波形の変化がほぼないことがわかる。

図 7 に No.BC-1 の測定結果を示す。図 7 左図と図 6 左図の立ち上がり比べてみると波形に差がでてい

ガードパターンを追加することで、容量成分が増えて伝送線路インピーダンスが下がっているためと考えられる。図のように終端抵抗を 120Ω から 82Ω に変更することで不整合を小さくし反射の影響を少なくできることがわかった。

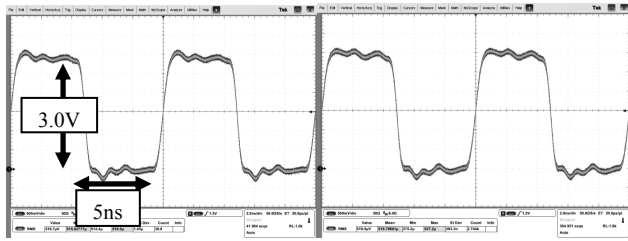


図 6. 基板端距離の比較
(左) 基板端距離 10mm (右) 基板端距離 3mm

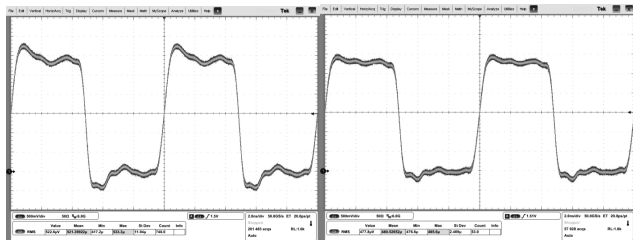


図 7. 終端抵抗変更前後の比較
(左) 終端抵抗:120Ω (右) 終端抵抗:82Ω

マイクロストリップラインのインピーダンス確認のため、TDR 測定を行ったところ、No.A-1 は約 115Ω であり、No.A-3 は No.A-1 と比較して平均値でインピーダンスが約 5Ω 多かった。これは伝送線路からみた基板 GND 面積が、No.A-1 に比べて少なく容量性が減ったように見えたためと考えられる。No.BC-1 は約 83Ω，No.BC-2 と No.BC-3 は約 100Ω となりインピーダンスが下がった。これはガードの分容量性が増えたためと考えられる。

4.2 遠方界 図 8 に基板端距離と放射ノイズのデータを示す。ピークは 700MHz であるが、これはマイクロストリップライン=100mm， $\epsilon_r=4.6$ の時、基板を $\lambda/2$ で強く放射するアンテナ⁽²⁾として見た場合、1 波長 λ の周波数は 1.4GHz となるためと考えた。また、基板全体がストレイキャパシタと共振してアンテナのように見た場合、基板横幅が 150mm であるので、同様の計算で 500MHz も強くノイズを放射すると考えられる。

500MHz 以上では基板端距離が大きくなるほど、約 5dB ずつ放射ノイズが減っておりルールと減少量の関係を確認した。

図 9 に No.BC-1，No.BC-2，No.BC-3 の信号ガードパターンと放射ノイズの結果を示す。ガードパターン幅を 3mm から 6mm に増やしても放射ノイズレベルは 1~2dB しか変わらないが、ギャップを 0.6mm から 0.3mm に近付けた方が 2~3dB 改善され効果が大きい。ガードパターン幅を増やすよりもギャップ距離を縮めた方が良いことがわかる。

400MHz 以下では全体的にノイズ減少傾向にあるが減少量は 400MHz と 300MHz で異なっている。これはガードパターンによりループ面積が 160mm² から 30mm² へと減った

ため、放射ノイズレベルが大きく減少し、別要因のノイズが見えたためと考えられる。

ここでいう別要因のノイズとは、発振器や電池およびケーブルが考えられる。このノイズの影響を確認するため、IC 出力回路直近で終端し、伝送線路パターンをカットして、伝送線路を抜いた状態での遠方界を再測定する必要がある、今後の課題である。

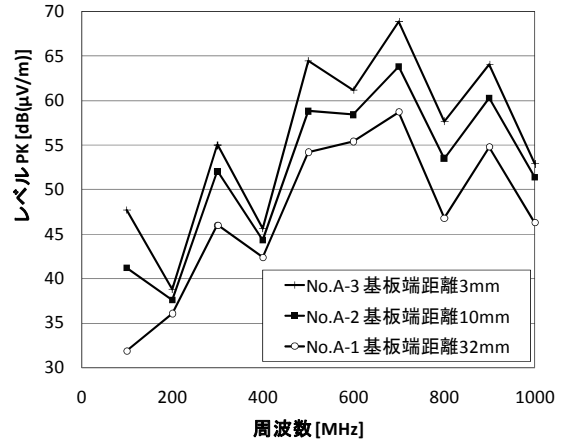


図 8. 基板端距離と放射ノイズ

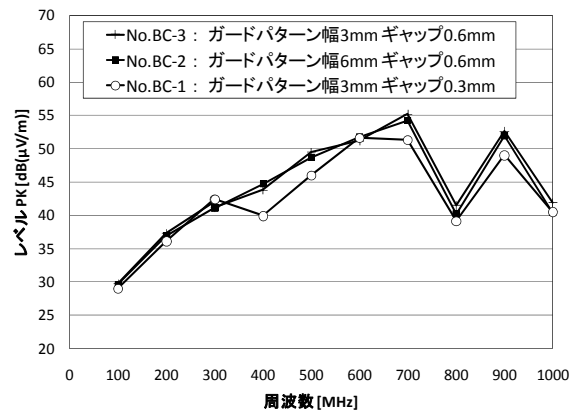


図 9. 信号ガードパターンと放射ノイズ

5. シミュレータとの比較

5.1 SI シミュレータの方法 TC7SZ04FU は TC74LCX シリーズの 1 ゲートロジックであるので、TC74VCX04FK.ibs を使用した。正確にはパッケージ内部の容量やインダクタが異なること、IBIS (I/O Buffer Information Specification) の立ち上がり測定時の負荷条件が異なることなどがあるため、今回の実験では参考値程度とする。シミュレータ (図研 CR-5000 Lightning) を使用して、Board Designer の基板データからトポロジを作成し、IBIS をインポートした。

5.2 EMI シミュレータの方法 EMI シミュレータとして電磁界シミュレータ (CST 社 MW STUDIO) を使用した。シミュレーションの境界条件は 6 方向すべての面で自由空

間とし、基板と境界面に一定距離の空間を置く。周波数設定は 0~3GHz とし、時間領域ソルバの FDTD (Finite Difference Time Domain method) で六面体メッシュ (PBA : 完全境界近似) としている。遠方界を算出するため使用したマクロは Calculate Broadband EMC-norm である。信号源にはデジタルオシロスコープで取得した波形を ASCII データで MW STUDIO にインポートし、accuracy の設定は -40dB とした。

5.3 結果と考察 図 10 に No.A-1 の SI シミュレーション値と実測値の波形比較結果を示す。実線が実測値であり、点線がシミュレータ値である。反射などの起伏の傾向がおおよそ合っていることが確認できる。

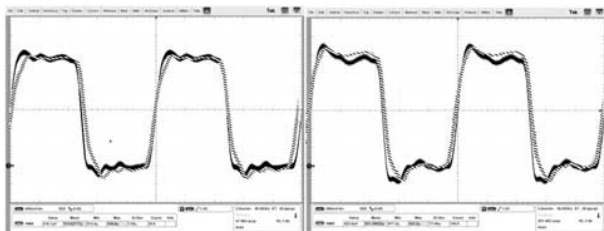


図 10. シミュレーション値と実測値の波形比較 (No. A-1)
(左) 終端抵抗 : 120Ω (右) 終端抵抗 : 82Ω

図 11 に No.A-1 のアジマスの EMI シミュレーション値と実測値の比較結果を示す。おおよそ同じ指向性が得られていることがわかる。

図 12 に基板端距離と放射ノイズのシミュレーション結果の比較を示す。5~6dB シミュレーション値が実測より低くみえているが、傾向や減少量は 1~2dB のずれである。おおよそ傾向は同じと言える。200MHz と 400MHz のずれが大きいですが、これは発振器、電源あるいはケーブル等、モデル化されていない部分のノイズが見えているためである。

また、シミュレーションでは境界条件 6 方向すべてが自由空間であるが、実測では床面は導体であるので、反射の影響も考慮する必要がある。理論的には最大で 6dB の大きく見えることになるため、このデータを差し引けば 500MHz 以上のデータはシミュレーション値とおおよそ一致する。

図 13 にガードパターン幅とギャップ対ノイズ放射レベルを示す。ノイズとシミュレーション値が大きく異なるが、前述したように別要因のノイズが見えているためと思われる。ただし、ガードパターン幅とギャップを変更した時の減少量はほぼ合っている。

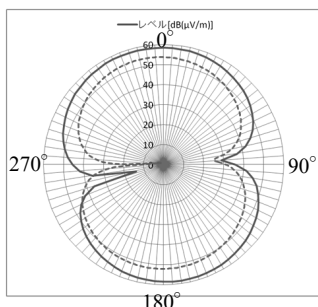


図 11. 700MHz のアジマスの比較 (基板 A-1, 3m)
(実線) 実測 (点線) シミュレーション

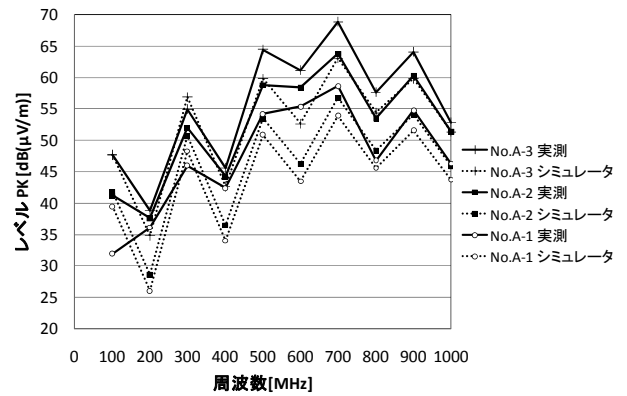


図 12. 基板端距離の実測値とシミュレーション値の比較

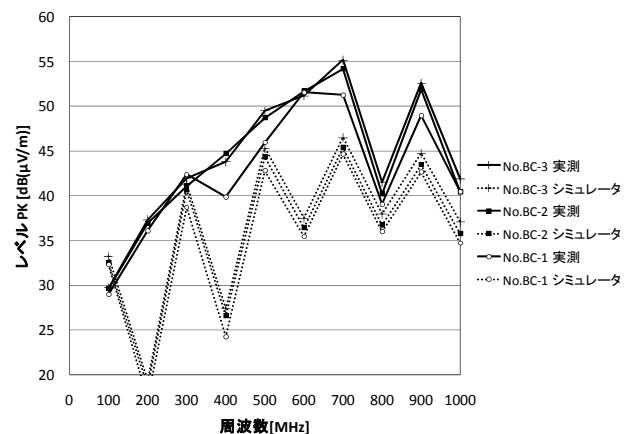


図 13. 信号ガードパターンの実測値とシミュレーション値の比較

6. まとめ

設計手順を確立するためのルールを割り出して検証を行い、基板設計ルールのデータの裏付けが取れた。得られた実測値とシミュレーション値とを比較し、ノイズ抑制量をシミュレーションで把握する目処がたった。つまり、相对比较でシミュレータ内のみでのルール検証が可能になった。このことにより他のルールを検証する際に作製する基板が大幅減ることになり、ルール項目を増やすことが比較的容易になる。ただし、遠方界において、信号ガードパターンの基板の放射ノイズレベルがシミュレーション値と異なっており、原因としては発振器、電池やケーブルをモデル化していないことが考えられ、これを明らかにしていくのが今後の課題である。

本研究により当センターの高速デジタル回路基板設計の支援体制の基礎ができた。今後より一層の強化を目指す。

(平成 23 年 5 月 20 日受付, 平成 23 年 8 月 23 日再受付)

文 献

- (1) Mark I.Montrose 著, 出口博一 田上雅照 共訳, プリント回路の EMC 設計, オーム社, 1997, 247p.
- (2) 久保寺忠, 高速デジタル回路実装ノウハウ, CQ 出版, 2002, 287p.