

FPGA の構成変更による組込みシステムの消費電力低減手法

大原 衛*¹⁾ 入月 康晴*¹⁾ 清水 雄一郎*²⁾

A reconfiguration-based approach for reducing power consumption of embedded systems with FPGAs

Mamoru Ohara*¹⁾, Yasuharu Irizuki*¹⁾, Yuichirou Shimizu*²⁾

In recent years, an increasing number of embedded systems have been equipped with Field Programmable Gate Array (FPGA) chips. An FPGA is a special kind of IC, in which user-defined logic circuits can be configured freely. Using FPGAs, small and medium-sized enterprises can more easily equip a dedicated IC designed for low-volume production. One disadvantage of FPGA against a common IC is its high power consumption. This makes it difficult to use FPGAs in some applications such as battery-powered equipment. In this paper, we discuss the power consumption of an evaluation board mounting an FPGA by means of simulation and actual measurements. From these results, we propose an approach for reducing the expected total power consumption of embedded systems with FPGAs, in which we will reconfigure an FPGA so that we use both simple and low-power circuits and more complex and faster circuits as the situation demands. We also introduce our studies on dynamic reconfiguration techniques for implementing such an approach on embedded FPGA systems.

キーワード：FPGA，組込みシステム，低消費電力，再構成

Keywords：FPGA, embedded systems, low power, reconfiguration

1. まえがき

近年，Field Programmable Gate Array (FPGA) を搭載した組込み製品が増加している。FPGA は，内部の回路がユーザによって変更可能な特殊な IC である。通常の IC は大量生産によってコストの低減を図るため，1つの品種を数万個以上生産しなければならないが，FPGA を用いれば製品ごとに専用の IC を搭載する組込みシステムを，少量でも開発・生産することが可能になる。

FPGA は通常の IC に比べて消費電力の高いものが多い。一般に IC の消費電力は，IC に含まれるトランジスタ数に比例する静的消費電力と，IC の動作周波数に比例する動的消費電力から成る。FPGA の構造は，ユーザによる回路の変更を可能とするため，通常の IC よりも複雑である⁽¹⁾。すなわち，通常の IC と同等の性能・機能を実現するために，より多くのトランジスタを必要とする。現在の典型的な FPGA は，通常の IC の約 5～10 倍程度の電力を消費すると言われていた。このため，バッテリーで駆動する携帯型機器のように特に省電力が求められる製品分野では，FPGA の採用例は多くない。

本稿では，少量生産される組込み製品における FPGA の適用可能範囲を拡大することを目的として，FPGA の期待消費電力量を低減する手法について考察する。FPGA の構造に

大きく依存するが，直感的には FPGA 内に書き込まれる回路の規模が大きいほど，その消費電力は大きくなるものと予想される。消費電力量の低減手法を構築する準備として，本研究では，まずシミュレーションおよび FPGA 評価ボードを用いた消費電力の実測によってこの予想について検証した。この結果，先述の直感的予想が実測結果と概ね合致することが確認された。本稿の第 2 章では，この実測で得られた数値例を示す。

多くの場合，高速な MPU (Micro Processing Unit) は，低速な MPU に比べて複雑な回路構成を有する。前述の通り，複雑な回路は静的消費電力が大きい，演算性能が高く，処理を短時間で完了できる。第 3 章では，2 種の MPU の構成を用いて，単位時間当たりの消費電力と同一の演算処理の実行所要時間を実測し，これらの積からなる消費電力量について議論する。

第 2 章および第 3 章で示される結果から，FPGA を用いた組込みシステムの消費電力量を期待的に低減するには，FPGA 内に書き込まれる回路をその時々必要に応じて変更し，平均的に回路規模を小さく保つことが有効であると考えられる。第 4 章では，このような着想に基づく期待消費電力量低減手法を提案し，これを実装するために利用可能な動的再構成技術について述べる。

最後に，第 5 章は本稿のまとめを与える。

*1) 情報技術グループ

*2) 日本大学大学院理工学研究科

2. 消費電力の測定

2.1 消費電力シミュレーション 次節で用いる評価ボードが搭載する FPGA の開発環境には、FPGA の消費電力を見積もるためのシミュレータが付属する。本章では、このシミュレータを用いて、FPGA に書き込む回路の規模とその消費電力の関係について観察する。

表 1 にシミュレーションの対象とした回路構成を示す。すべての回路構成は 1 つのソフトコア MPU を含む。また、1 つ以上の MPU 周辺回路を含む。ソフトコア MPU には、ユーザが設定可能なオプションが複数存在する。表中の丸印は、各構成におけるこれらの周辺回路およびオプション設定の有無を表している。

これらの構成に対して、それぞれ消費電力シミュレーションを行った結果を表 2 に示す。本研究で使用したシミュレータは、FPGA の消費電力を電源系統 (3.3 V, 5 V, 12 V) ごとに分けて見積もることができるが、表ではこれらを合算して示した。また、動的消費電力については評価を行っていない。動的消費電力を正しく見積もるには、FPGA への入力信号が平均的にどのように振る舞うかをシミュレータに与える必要があるが、異なる回路が書き込まれた FPGA に共通して入力できる信号パターンを想定することが難しいためである。FPGA の動的消費電力については、次節で述べる実験を通じて評価する。

表から、FPGA に書き込む回路のゲート数 (回路規模) が大きいほど、静的消費電力が大きいことが分かる*3)。また、これらは比例関係にはないことも読み取れる。

2.2 評価ボードを用いた実測 図 1 に示す FPGA 評価ボード (Xilinx 社 ML401) を図 2 の電源に接続し、5 V の直流電源を供給した。この状態で FPGA ボードに回路を書き込み、実際に動作させた際の電源電流を図 2 の電源から読み取り、消費電力を計測した。評価ボードに搭載されている主なデバイスを表 3 に示す。

図 3 に FPGA に書き込む回路の規模と評価ボードの消費

電力の関係を示す。横軸の項目名は表 1 の構成名とそれぞれ対応する。また、「未構成」は評価ボードに電源投入後、FPGA に回路の書き込みを行っていない状態での消費電力を表す。折れ線は各構成のゲート数、棒グラフは各構成での評価ボード全体の消費電力を示す。

FPGA に回路を書き込んでいない状態での消費電力は約 2.8 W であった。これは、FPGA の使用の有無にかかわらず、評価ボードが消費する電力であると見なせる。また、FPGA に回路を書き込むことによって明らかに消費電力が増加し、最大で約 4.8 W を消費した。FPGA の使用の有無によって消費電力が約 7 割増加していることから、評価ボード全体の消費電力における FPGA の寄与が比較的大きいことが分かる。また、回路規模が大きいほど消費電力も大きくなるが、その消費電力は回路規模に比例するものではないことが分かる。これは、評価ボードの消費電力は、基本的に

表 3. 評価ボードが搭載する主なデバイス

FPGA	Xilinx 社 XC4VLX25
メモリ	64 MB DDR SDRAM, 8 Mb ZBT SRAM 64 Mb Flash, 4 kb I ² C
ディスプレイ	16x2 キャラクタ LCD
クロック	100 MHz オシレータ
その他	XC95144XL (CPLD), XCCACE (CF), XCF32P (Flash)

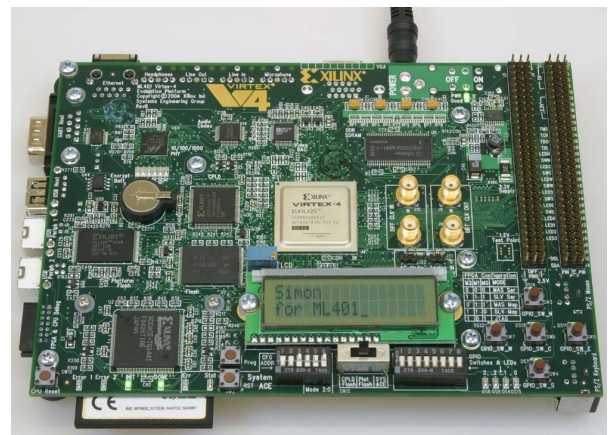


図 1. FPGA 評価ボード
Xilinx 社 ML-401



図 2. 電源
エヌエフ回路設計ブロック社 EC 10000S

表 1. シミュレーション対象回路の構成

構成名	1	2	3	4	5
スライス数	4,510	4,433	4,313	4,073	2,907
ゲート数	2,543,166	2,541,932	2,540,184	2,531,764	2,182,541
MPU	○	○	○	○	○
GPIO	○	○	○	○	○
CF	○	○	○	○	○
FPU	○	○	○	○	○
SDRAM	○	○	○	○	○
SRAM	○	○	○	○	○

表 2. シミュレーションによる消費電力の見積もり

構成名	1	2	3	4	5
消費電力 [mW]	1,979.3	1982.1	1975.8	1965.9	847.7

*3) ゲートは論理回路の基本的な構成要素で、1 ゲートを構成するのに通常、2~6 個のトランジスタを要する。

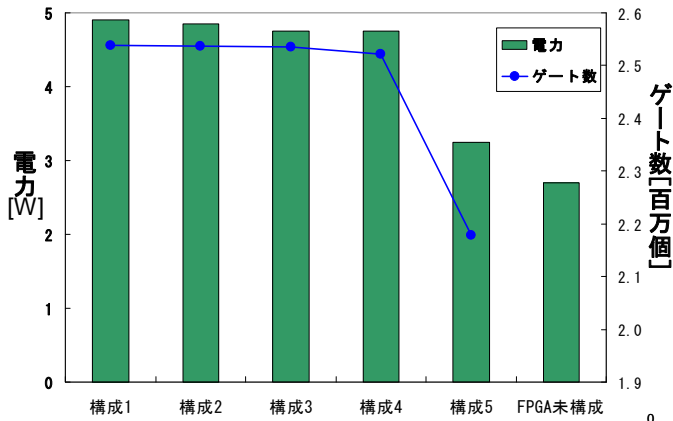


図3. 回路規模と消費電力の実測値
各構成の詳細は表1を参照。

FPGAの静的消費電力を反映して増減するが、SDRAM制御回路などの特定の回路の動的消費電力が比較的大きいためと考えられる。

次に、評価ボードの動作周波数を変化させたときの消費電力を評価した。MPUの動作周波数と、MPUと周辺回路を接続するバスの周波数をそれぞれ50～100 MHzの間で変化させたときの消費電力を図4に示す。FPGAに書き込む回路の構成は、表1の構成5と同じものとした。一般にICの動的消費電力はその動作周波数に比例するので、動作周波数が高いほど消費電力が大きくなる。図4においても明らかにこの傾向が読み取れる。MPUおよびバスの周波数をともに50 MHzとしたものと、ともに100 MHzとしたものの消費電力の差が0.4 Wであることから、動作周波数を低く設定することによる省電力化手法は、この評価ボードでは効果があまり期待できないと言える。

3. 消費電力量の検討

前章で使用したソフトコアMPUは、その内部の回路構成についていくつかの設定可能なオプションを有する。本章では、このうちパイプライン処理のステージ数を変更した2種のMPUを用いて、同一のプログラムを実行した際の消費電力と所要時間の実測結果を示す。

表4に使用したパイプラインステージ数の設定値と、このときの回路規模を示す。また、これらのMPUを用いてベンチマークプログラムDhrystone 2.1を実行した際の消費電力、所要時間、消費電力量を示す。Dhrystoneは、広く普及しているベンチマークプログラムの1つである。本研究では、Dhrystone 2.1のソースコードから画面表示などの処理部分を除き、評価ボード上で経過時間を測定するためのタイマ機能を付加した。これを開発環境の標準的な設定を用いてコンパイルし、実行した。MPUおよびバスの動作周波数はともに100 MHzとし、消費電力の測定には前章と同じ方法を用いた。

どちらのMPU構成においても、消費電力はプログラム実行中と実行後で変化しなかった。また、これらの回路規模の差は小さく、消費電力はパイプラインステージ数が多い

表4. MPUのオプション設定と回路規模

構成名	ステージ数	ゲート数	消費電力 [W]	所要時間 [s]	消費電力量 [mWh]
A	3	2,538,963	3.2	72	64
B	5	2,551,251	3.15	68	59.5

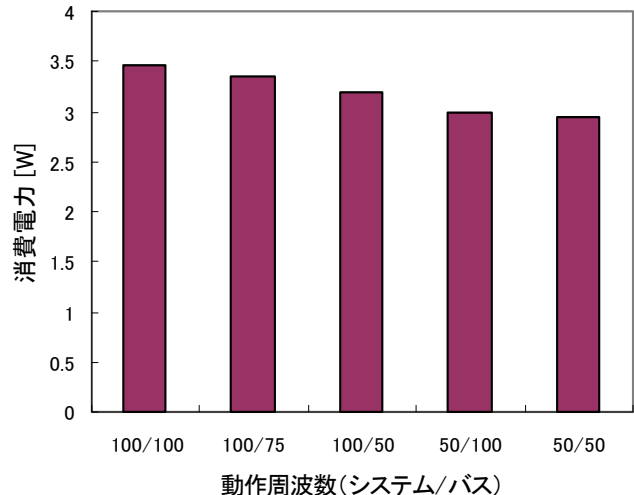


図4. 動作周波数と消費電力の実測値
使用回路は図3の構成5と同一。

構成Bの方がむしろ小さい。この理由は使用したMPUの内部詳細が不明であるため明らかではない。

ベンチマークプログラムの実行にかかった時間は、構成Bが構成Aより約4秒短かった。この結果として、構成Bは構成Aよりも約4.6%少ない消費電力量で同一の演算処理を完了することができている。このことから、組込みシステムの消費電力低減の目的で、むやみに回路規模の縮小を目指すのは、長期的視点では必ずしも良い結果をもたらすとは限らないと言える。特に多くの演算処理が必要とされる画像処理や音声処理の分野などでは、比較的複雑であっても高速な回路構成を用いて、短時間で演算処理を完了させた方が期待的な消費電力量が削減できる場合がある。

4. FPGAの構成変更による消費電力量低減手法

これまでの結果から、FPGAを用いた組込みシステムの消費電力について、以下のことが示された。

- (1) 内部に書き込む回路の規模が大きいくほど、FPGAの消費電力は大きくなる。
- (2) 同一の演算処理を完了するまでの消費電力量は、複雑であっても高速な回路構成を用いる方が、単純で低速なものを用いるよりも少ない場合がある。

以上の知見から、FPGAを用いた組込みシステムの消費電力を低減する手法の1つとして、以下のような手法を提案する。すなわち、多くの演算処理を必要としない待機時間などには小規模で低速な回路構成(図5左)を用い、演算処理が必要な局面では処理性能の高い回路構成(図5右)を用いるようにして、組込みシステムの稼働時間全体での期待消費電力量を低減する手法である。これらの回路の切

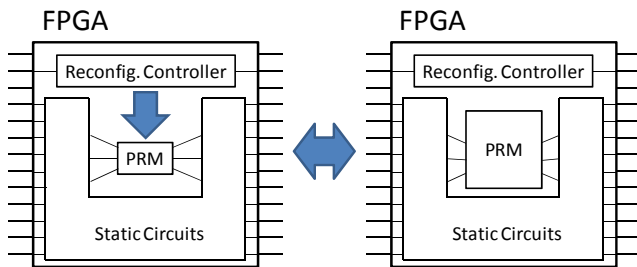


図5. 提案手法のFPGA内部ブロック図

Reconfig. Controller: 再構成制御回路ブロック

Static Circuits: 常に組み込まれる回路ブロック

PRM (Partial Reconfigurable Module): 再構成で変更される回路

り替える、後述の動的再構成技術などを用いて実現できる。組み込みシステムには、通常は待機状態にあり、ユーザの入力などの外部要因で演算処理が起動されて短時間に集中して処理を行うものが多くあるため、このような手法は省電力化に有効であると思われる。

演算処理の必要に応じて FPGA に書き込まれる回路構成を変更するためには、従来は FPGA 外部に特殊な回路を追加する必要があり、あまり実用的でなかった。しかし、近年、このような追加回路を設けることなく、システムの動作中に FPGA を書き換えることのできる動的再構成技術を組み入れた FPGA が実用化され始めている⁽²⁾。図6は、FPGA の内部回路を動的再構成可能にするための設計作業の画面例である。FPGA の動的再構成は新しい技術であるため、その開発環境は必ずしも十分に整備されていない。例えば、通常の FPGA 設計では、回路の配置・配線を開発環境が自動的に行うが、動的再構成を行う FPGA 回路の設計では、一部を手で行う必要がある⁽³⁾。この際には、配線長やタイミング制約を考慮しながら、試行錯誤で設計を行わなければならない⁽⁴⁾。

動的再構成を用いた FPGA の設計手法は、未だ発展途上であり、その応用例の蓄積が少ない。動的再構成の FPGA の消費電力に対する影響に関する報告は少ないが⁽⁵⁾⁽⁶⁾、過度に頻りに動的再構成を行うと FPGA の期待的な消費電力が増大することが報告されている。このように、動的再構成と FPGA の消費電力に関する評価は必ずしも十分にされていない。このため本研究では、現況で省電力化が期待できる手法として、比較的低頻度で FPGA の回路構成を変更することによる消費電力の低減手法を提案する。例えば、通常は待機状態にあり、人が操作したときだけ演算処理を行う家電などの組み込み機器への適用が考えられる。この際の再構成頻度は、1日に数回～数十回程度であると思われる。情報技術グループでは、今後も継続して動的再構成技術に関するノウハウの蓄積に努め、その省電力化への応用と評価手法の確立に取り組む。

5. まとめ

情報技術グループでは、中小企業の組み込みシステム開発において、多品種少量生産や知的財産保護に効果的な手法

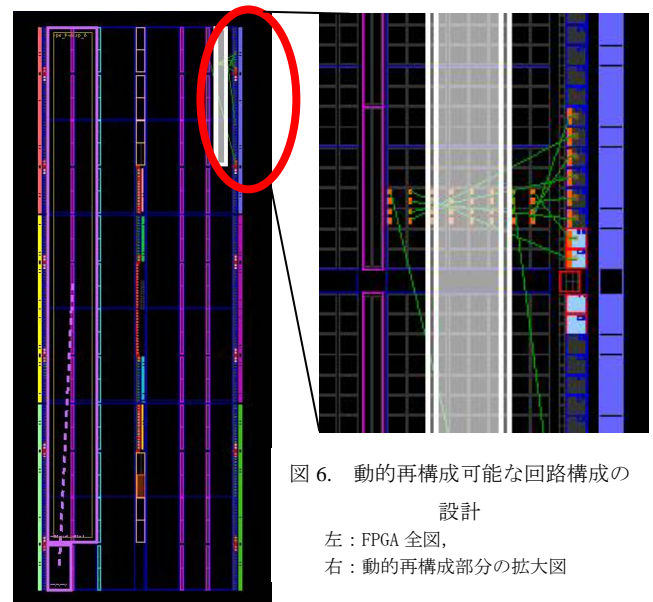


図6. 動的再構成可能な回路構成の設計

左: FPGA 全図,

右: 動的再構成部分の拡大図

の1つとして、FPGA 関連技術の普及に取り組んできた。本研究では、FPGA の弱点の1つである消費電力の大きさに対応するため、FPGA に書き込まれる回路を用途によって変更する手法について検討した。

まず、シミュレーションおよび実測によって FPGA 評価ボードの消費電力を見積もり、FPGA に書き込まれる回路と消費電力の相関について検討した。この結果、回路規模が大きいほど FPGA の消費電力が大きいこと、多くの演算処理を必要とする場合は回路規模が大きくても高速な回路を用いることで総合的に省電力化が図れる場合があることなどが示された。

FPGA 内部の回路構成を切り替えるための手法の1つとして、近年実用化され始めた動的再構成技術について検討した。動的再構成技術を応用した FPGA 開発は、発展途上段階にあり、複雑なシステムへの応用例は少ない。情報技術グループでは、待機時間の長い組み込みシステムの待機電力低減手法などに動的再構成技術を適用することを提案し、システム構築ノウハウの蓄積を行っている。

(平成21年7月2日受付, 平成21年9月8日再受付)

文献

- (1)末吉敏則, 天野英晴: リコンフィギャラブルシステム, オーム社, p. 143 (2005)
- (2)P. Sedcole, B. Blodget, T. Becker, J. Anderson and P. Lysaght: "Modular Dynamic Reconfiguration in Virtex FPGAs", IEE Proc.-Comput. Digit. Tech., Vol.153, No.3, pp.157-164 (2006)
- (3)B. Jackson: Partial Reconfiguration Design with PlanAhead, Xilinx, pp.15-19 (2008)
- (4)Early Access Partial Reconfiguration User Guide, Xilinx, p.26 (2008)
- (5)X. Zhang, H. Rabah and S. Weber: "Dynamic Slowdown and Partial Reconfiguration to Optimize Energy in FPGA Based Auto-Adaptive SoPC", Proc. 4th IEEE Int'l Sympo. Electronic Design, Test & Applications, pp.153-157 (2008)
- (6)堀洋平, 横山浩之, 坂根広史, 戸田賢二: 「FPGA の自己動的部分再構成を利用したセキュアなコンテンツ配信システムの構築」, 信学技報, Vol.106, No.602, CPSY2006-86 pp.7-12 (2007)