

FPGA の構成変更による組込みシステムの消費電力低減手法

大原衛^{*1)}、入月康晴^{*1)}、清水雄一郎^{*2)}

1. はじめに

近年、Field Programmable Gate Array (FPGA)を搭載した組込み製品が増加している。FPGA は、内部の回路がユーザによって変更可能な特殊な IC である。製品に FPGA を搭載することで、出荷後に新たな機能を追加するなどの柔軟性を持たせることができる。しかし、FPGA は通常の IC に比べて消費電力の大きいものが多い。本稿では、FPGA を用いたシステムの消費電力の評価と、動的再構成を用いてこれを低減する手法について報告する。

2. FPGA ボードの消費電力の実測

図 1 に、Xilinx 社の FPGA 評価ボード ML401 上に 5 種の回路を構成した際の、ボード全体の消費電力を示す。この結果は、FPGA の消費電力が基本的に回路規模に左右されることを示唆している。

表 1 は、同ボードの FPGA 上にソフトコアプロセッサ Microblaze を実装し、ベンチマークプログラム Dhrystone 2.1 を実行させた際の実行時間と消費電力量を表したものである。Microblaze はオプションの設定により、そのパイプライン段数を 3 または 5 ステージから選択できる。この例では、パイプラインを 5 ステージとしたものが、回路規模は大きくなるものの、より短い時間で実行を終えることができるため、結果として消費電力量を抑えることができている。

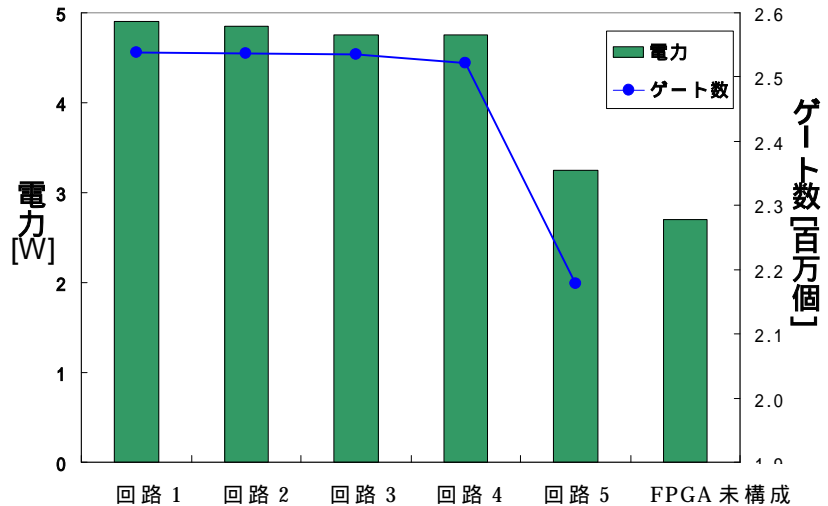


図 1 FPGA 回路規模と消費電力

3. 消費電力低減を目的とした FPGA の動的再構成

上述の結果から、待機時には FPGA 内の回路を最小にして消費電力を抑え、動作時にだけ高性能なプロセッサを用いるような手法によって、組込みシステムの平均消費電力を大きく抑えられることが期待できる。本研究では、このようなシステムを実現するために、近年実用化がなされた FPGA の動的再構成技術を用いた。動的再構成を用いることで、FPGA 上に構成する回路を、FPGA を動作させたまま変更することができる。本研究では、動的再構成を用いたシステムの設計手順をまとめ、FPGA の構成管理に必要なソフトウェアライブラリの構築を行った。

表 1 プロセッサのパイプライン段数と消費電力量

パイプライン段数	ゲート数	電力 [W]	実行時間 [s]	電力量 [mWh]
3	2,538,963	3.2	72	64
5	2,551,251	3.15	68	59.5

4. まとめ

評価ボードを用いた消費電力の実測から、FPGA を用いた組込みシステムの平均的な消費電力の低減に動的再構成技術が有効であることを示した。当グループでは、組込みシステムの消費電力を、動的再構成を応用して低減する技術などの相談に対応している。

*1) 情報技術グループ、*2) 日本大学理工学部電子情報工学科