

非同期式设计によるFPGA向け低消費電力システムの開発

○岡部 忠*1)、入月 康晴*1)、金田 泰昌*1)

1. はじめに

近年では、システムの基盤デバイスとしてFPGA(Field Programmable Gate Array)を用いたシステム開発が多くなされている。FPGAは半導体の微細化によりデバイス自体の消費電力は低減されているが、ASIC等の他デバイスと比較すると、十分に低い水準とはいえない。そこで本研究では、デジタル回路設計の従来法であるクロック信号に同期させて回路を動作させる同期式设计ではなく、クロック信号を用いない非同期式设计によるデジタル回路設計とFPGA実装を行い、システムの消費電流や処理速度について実測し、非同期式设计の有効性を確認したので報告する。

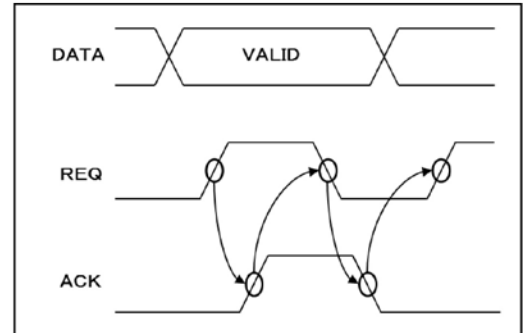


図1. 4相束データ方式の通信規約

2. 設計および実装方法

本研究で用いた非同期式设计は4相束データ方式と呼ばれるものである。この方式におけるデータ転送の通信規約を図1に、パイプライン構造を図2に示す。この方式を用いると、同期式设计のクロックラインに制御用の回路と遅延素子を挿入するだけであり、回路の非同期化が比較的容易である。本研究で提案した非同期式デジタル回路の設計、検証および実装の手順を図3に示す。

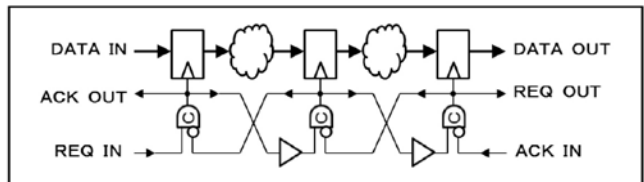


図2. 4相束データ方式パイプライン

3. 結果・考察

本研究では、図1と図2の設計手法および図3の実装手順を用いて、ブロック暗号のAES(Advanced Encryption Standard)を非同期式回路として設計し、FPGAに実装した。実装結果および同期式设计されたAES回路との消費電流や処理速度の性能比較の結果を表1に示す。同期式设计に対する非同期式设计の電流消費の優位性が見てとれる。また、処理性能も向上している。一方、非同期式设计では回路規模が同期式设计よりも大きくなっている。一般的に、非同期式设计ではデータ伝送に制御用回路と遅延回路を要するため、同期式设计と比べると回路資源を消費することになり、本研究でも同様に回路規模の増大が見られた。

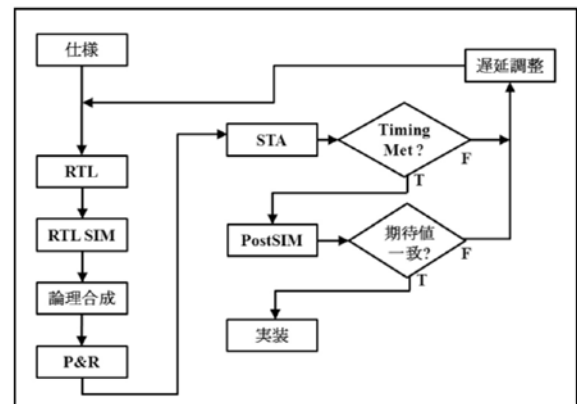


図3. 設計、検証および実装手順

表1. 評価結果

	消費電流 [mA DC]	処理速度 [ns]	回路規模 [Slice]
同期式	82.00	945	2,801
非同期式	17.67	480	3,117

4. まとめ

非同期式设计されたデジタル回路をFPGAに実装すると、同期式设计と比較し回路規模の増大があるが、処理速度の向上と消費電流の低減の両立が可能である。本研究の成果はFPGAを用いたシステム開発全般に汎用的に用いることができるため、今後の技術支援に活用できる。

*1) 情報技術グループ